

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-260954

(43)Date of publication of application : 29.09.1998

(51)Int.Cl.

G06F 17/00
G06F 17/50

(21)Application number : 09-066119

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.03.1997

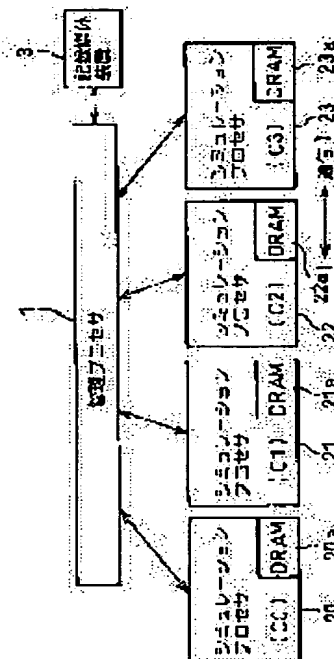
(72)Inventor : KITaura TOMOYASU

(54) CIRCUIT SIMULATION PARALLEL METHOD AND MEDIUM RECORDING CIRCUIT SIMULATION PARALLEL PROGRAM

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten analysis time by dividing object circuits, proceeding simulation calculation, transmitting a calculation result through communication, seeking time data that is needed for simulation and independently and parallelly performing simulation.

SOLUTION: A management processor 1 divides object circuits and allocates each object circuit C0 to C3 to each simulation processor 20 to 23 respectively. It confirms an incoming message from each simulation processor and when there are incoming messages, it receives all messages and decides a defined time with all simulations. It rearranges terminal information in each processor and sends time information to all the simulation processors when it sends it. It is decided whether all simulation is finished or not, when it is decided that all the simulation is finished, it finishes processing, and when it is discriminated that it is not finished, it confirms incoming messages.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平10-260954

(43)公開日 平成10年(1998)9月29日

(51)Int. Cl.⁶

識別記号

F I

G 0 6 F 17/00
17/50

G 0 6 F 15/20 D
15/60 6 0 4 Z
6 6 4 L

審査請求 未請求 請求項の数9

O L

(全11頁)

(21)出願番号 特願平9-66119

(22)出願日 平成9年(1997)3月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 北浦 智靖

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74)代理人 弁理士 石田 敬 (外3名)

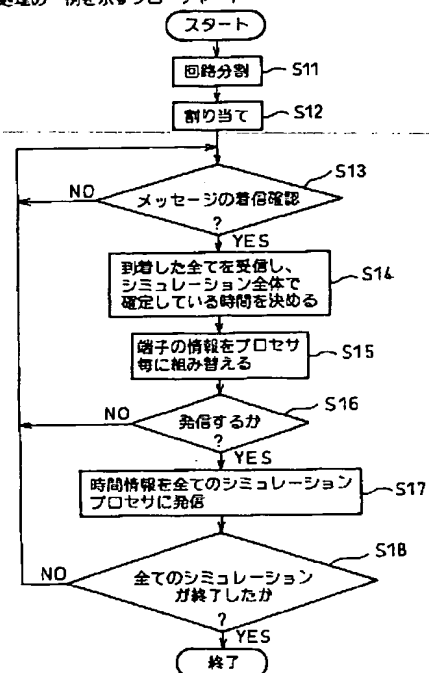
(54)【発明の名称】回路シミュレーション並列化方法および回路シミュレーション並列化プログラムを記録した媒体

(57)【要約】

【課題】 対象回路を分割して回路の電気的特性のシミュレーションを並列化することは、現実的には困難であり、また、大容量のメモリが必要となるという課題がある。

【解決手段】 対象回路の電気特性のシミュレーションを複数の演算手段を有するコンピュータシステムにより並列的に行う回路シミュレーション並列化方法であって、前記対象回路を複数の分割回路に分割し、該各分割回路をそれぞれ各演算手段に割り当て、該各演算手段毎にシミュレーション計算を進め、前記隣接する分割回路の境界における計算結果を通信により伝達し、該受け取った計算結果より、シミュレーションに必要な時刻のデータを求め、そして、前記各演算手段によるシミュレーションを独立に並列して行うように構成する。

本発明の回路シミュレーション並列化方法における管理プロセスの処理の一例を示すフローチャート



【特許請求の範囲】

【請求項 1】 対象回路の電気特性のシミュレーションを複数の演算手段を有するコンピュータシステムにより並列的に行う回路シミュレーション並列化方法であつて、

前記対象回路を複数の分割回路に分割し、
該各分割回路をそれぞれ各演算手段に割り当て、
該各演算手段毎にシミュレーション計算を進め、
隣接する前記分割回路の境界における計算結果を通信により伝達し、
受け取った該計算結果より、シミュレーションに必要な時刻のデータを求め、そして、
前記各演算手段によるシミュレーションを独立に並列で行うようにしたことを特徴とする回路シミュレーション並列化方法。

【請求項 2】 請求項 1 に記載の回路シミュレーション並列化方法において、前記隣接する分割回路の境界における計算結果は、任意の演算手段がシミュレーションする分割回路に接続され、且つ、隣接する分割回路に含まれる端子を外部端子として参照し、当該任意の演算手段におけるシミュレーションを行うようになっていることを特徴とする回路シミュレーション並列化方法。

【請求項 3】 請求項 1 に記載の回路シミュレーション並列化方法において、前記演算手段におけるシミュレーションの計算結果の伝達の他に、シミュレーションの進行を管理する情報を通信して不要な履歴を削除するようにしたことを特徴とする回路シミュレーション並列化方法。

【請求項 4】 請求項 1 に記載の回路シミュレーション並列化方法において、前記計算結果を受け取った演算手段は、該計算結果と予測値との比較を行い、両者の差が所定の値以下となる時刻まで戻ってシミュレーションをやり直し、該やり直しが生じた時刻より以降の履歴を削除するようにしたことを特徴とする回路シミュレーション並列化方法。

【請求項 5】 請求項 1 に記載の回路シミュレーション並列化方法において、前記複数の演算手段のうち、最もシミュレーションの進行の遅い演算手段においてシミュレーションが完了した時間を確定時間として決定し、該確定時間よりも以前の履歴を全て削除するようにしたことを特徴とする回路シミュレーション並列化方法。

【請求項 6】 請求項 1 に記載の回路シミュレーション並列化方法において、前記コンピュータシステムは、管理演算手段および複数のシミュレーション演算手段を備えて構成されていることを特徴とする回路シミュレーション並列化方法。

【請求項 7】 請求項 1 に記載の回路シミュレーション並列化方法において、前記コンピュータシステムは、並列的に設けられた複数のシミュレーション演算手段を備えて構成されていることを特徴とする回路シミュレーション並列化方法。

ン並列化方法。

【請求項 8】 請求項 1～7 のいずれか 1 項に記載の回路シミュレーション並列化方法において、前記各演算手段は、計算機或いはプロセサにより構成されていることを特徴とする回路シミュレーション並列化方法。

【請求項 9】 請求項 1～8 のいずれか 1 項に記載の回路シミュレーション並列化方法を前記コンピュータシステムによって実行させる回路シミュレーション並列化プログラムを記録した媒体。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は回路シミュレーション並列化方法および回路シミュレーション並列化プログラムを記録した媒体に関し、特に、複数の演算手段（計算機或いは複数のプロセサ）を用いて並列に電子回路の電気的特性のシミュレーションを行う回路シミュレーション並列化方法に関する。

【0002】近年、半導体集積回路の高集積化および回路規模の大型化に伴って、電子回路の電気的特性のシミュレーションにも長時間を要することになっている。さらに、半導体集積回路の少量多品種の傾向により、回路の電気的特性のシミュレーションも短時間で行う必要がある。そこで、複数の計算機或いは複数のプロセサを用いて回路シミュレーションを並列的に行い、回路の解析時間を短縮することができる回路シミュレーション並列化方法（回路シミュレーション並列化プログラム）の提供が要望されている。

【0003】

【従来の技術】従来、回路の論理シミュレーションにおいては、並列的に処理（計算）を行うものは知られていたが、回路の電気的特性のシミュレーションは、通常、1つの計算機（コンピュータ）或いは1つのプロセサを使用して行っている。すなわち、半導体集積回路の各端子の電圧等の情報やシミュレーション時間の管理は、1つの計算機或いは1つのプロセサにより一元的に行われている。

【0004】そして、近年の高集積化および大規模化された半導体集積回路の電気的特性のシミュレーション、或いは、少量多品種の半導体集積回路の電気的特性のシミュレーションを短時間で行って回路の解析時間を短縮するためには、複数の計算機或いは複数のプロセサを用いて並列処理を行う回路シミュレーション並列化方法が必要となって来ている。

【0005】

【発明が解決しようとする課題】ところで、回路の電気的特性のシミュレーションを並列化する場合を考えると、コンピュータシステム（複数の計算機或いは複数のプロセサで構成されたもの）に対して、対象回路を分割し、その対象回路を分割したそれぞれの回路（分割回路）を各プロセサ（各計算機）に割り当てることにな

る。しかしながら、或る特定のプロセサ（任意のプロセサ）に注目した場合、例えば、特定のプロセサに割り当てられた分割回路の電気的特性のシミュレーションを行うためには、該特定のプロセサに割り当てられた分割回路に隣接する分割回路を当該特定のプロセサ以外のプロセサにより電気的特性のシミュレーションを行い、そして、その隣接する分割回路に割り当てられた端子における所定のシミュレーション時間での電圧等の情報を前記特定のプロセサへ供給して、計算（シミュレーション）を行う必要があるため、現実的に並列化を行うことは困難であると考えられていた。

【0006】さらに、各分割回路のシミュレーションが独立に並列して進行する場合、特定のプロセサ（任意のプロセサ）は、他のプロセサのシミュレーション結果に応じて計算をやり直す必要があるため各端子の履歴を保持（記憶）しておかなければならず、大容量のメモリが必要となるという問題も考えられる。本発明は、回路の電気的特性のシミュレーションを並列計算して解析時間を短縮することが可能な回路シミュレーション並列化方法（コンピュータシステム用の回路シミュレーション並列化プログラム）の提供を目的とする。

【0007】

【課題を解決するための手段】本発明によれば、対象回路の電気特性のシミュレーションを複数の演算手段（計算機或いはプロセサ）を有するコンピュータシステムにより並列的に行う回路シミュレーション並列化方法であって、前記対象回路を複数の分割回路に分割し、該各分割回路をそれぞれ各演算手段に割り当て、該各演算手段毎にシミュレーション計算を進め、隣接する前記分割回路の境界における計算結果を通信により伝達し、受け取った該計算結果より、シミュレーションに必要な時刻のデータを求め、そして、前記各演算手段によるシミュレーションを独立に並列して行うようにしたことを特徴とする回路シミュレーション並列化方法が提供される。

【0008】本発明は、従来1つのプロセサまたは計算機（演算手段）で行っていた計算を、対象回路を複数の分割回路に分割し、それぞれ複数の演算手段に割り当てる。さらに、他の演算手段がシミュレーションの計算に必要な境界部の端子の計算結果を通信により伝達し、受けた側は得られた履歴からシミュレーションに必要な値を補間或いは予測する。そして、各演算手段毎にシミュレーションを進めることにより、回路シミュレーションを並列化することが可能となり、解析時間を短縮することができる。

【0009】また、各演算手段のシミュレーションの進行状況を収集し、最も遅れている演算手段におけるシミュレーションの時刻（確定時間）を各演算手段に伝え、その時刻より古い履歴を消去することにより、記憶しておく履歴（必要なメモリの容量）を減らすことができる。なお、本発明の他の形態によれば、上述の回路シ

ミュレーション並列化方法をコンピュータシステムによって実行させる回路シミュレーション並列化プログラムを記録した媒体が提供される。

【0010】

【発明の実施の形態】以下、図面を参照して本発明に係る回路シミュレーション並列化方法の実施例を説明する。図1は本発明に係る回路シミュレーション並列化方法が適用される並列回路シミュレータの一構成例を示すブロック図である。同図において、参照符号1は管理プロセサ、20～23はシミュレーションプロセサ、そして、3は記録媒体装置を示している。ここで、並列回路シミュレータは、図1に示すように、管理プロセサ1およびシミュレーションプロセサ20～23を備えたコンピュータシステム（1つの計算機）として構成されるものに限定されず、管理プロセサ1およびシミュレーションプロセサ20～23としてそれぞれ計算機（ワークステーションやパーソナルコンピュータ等）を使用し、通信手段を介して接続したコンピュータシステムとして構成してもよい。

【0011】図1に示されるように、本発明の回路シミュレーション並列化方法が適用される並列回路シミュレータは、1つの管理プロセサ1と複数のシミュレーションプロセサ20～23を備えて構成されている。また、各シミュレーションプロセサ20～23は、それぞれ各端子の履歴情報を記憶しておくメモリ（DRAM）20a～23aが設けられている。このメモリ20a～23aの管理（履歴管理）に関しては、図8を参照して後に説明する。

【0012】ここで、各シミュレーションプロセサ（例えば、プロセサ20）は、管理プロセサ1を介して他のシミュレーションプロセサ（21～23）との通信を行うようになっている。なお、各シミュレーションプロセサ20～23間で直接通信を行うように構成することもできる。記録媒体装置3は、例えば、磁気ディスクドライブ装置や光磁気ディスクドライブ装置等であり、本発明の回路シミュレーション並列化プログラムを記録した媒体（磁気ディスクや光磁気ディスク等）を読み出して、並列回路シミュレータ（複数の演算手段を有するコンピュータシステム）にそのプログラムを実行させるために使用される。もちろん、記録媒体装置3としては、通信手段により供給される回路シミュレーション並列化プログラムを受け取る装置等であってもよい。

【0013】図2は本発明の回路シミュレーション並列化方法における回路分割処理を説明するための図である。同図において、参照符号Cは、電気的特性のシミュレーションを行う対象回路を示し、また、C0～C3は、それぞれ対象回路Cをシミュレーションプロセサ20～23に対応して分割した分割回路を示している。図2に示されるように、各分割回路C0～C3は、それぞれ複数の素子および端子（ノード）を含む。具体的に、

例えば、分割回路C2は、素子E21～E23および端子N21～N25を含んで構成され、また、分割回路C3は、素子E31～E34および端子N31～N34を含んで構成されている。

【0014】ここで、プロセサ22から見て、例えば、端子N23は出力端子（内部端子）であり、端子N31は外部端子である。一方、プロセサ23から見て、例えば、端子N23は外部端子であり、端子N31は出力端子である。図3は本発明の回路シミュレーション並列化方法における回路分割処理の具体例を示す図であり、図2中の隣接する分割回路C2およびC3（シミュレーションプロセサ22および23）において、端子N23に注目して回路分割処理を説明するための図である。ここで、図3（a）は分割回路C2およびC3と各素子および端子の関係を示し、図3（b）は図3（a）に示す素子および端子とシミュレーションプロセサ22および23との関係を説明するための図である。

【0015】図3（a）に示されるように、分割回路C2およびC3は、図面上、対象回路Cを端子N23の右側で分割して、それぞれシミュレーションプロセサ22および23に割り当てられている。従って、シミュレーションプロセサ22は、端子N22、N23および素子E22を含み、また、シミュレーションプロセサ23は、端子N31、N32および素子E31、E32を含むことになる。ここで、対象回路Cにおける全ての端子および素子は、必ず1つのシミュレーションプロセサに割り当てられ、各端子のシミュレーション（電圧レベルの計算）は、必ず1つのシミュレーションプロセサでのみ計算される。なお、対象回路Cの分割、および、該対象回路Cを分割した分割回路C0～C3の割り当ては、例えば、図1に示す並列回路シミュレータでは、管理プロセサ1が行うことになる。

【0016】図3（b）に示されるように、プロセサ22（分割回路C2）における端子N23の情報は、プロセサ23（分割回路C3）における端子N31の計算（シミュレーション）に必要なが、この場合、端子N23をプロセサ23の外部端子として取り扱う（参照する）。また、プロセサ23における端子N31の情報は、プロセサ22における端子N23の計算に必要なが、この場合、端子N31（および、素子E31）をプロセサ22の外部端子（外部情報）として取り扱う（参照する）。なお、図3（b）において、各プロセサ22および23において参照する部分は、太線で描かれている。

【0017】このようにして、各プロセサ（シミュレーションプロセサ20～23）において、それぞれ独立に各分割回路の電気特性の計算（シミュレーション）を進めることになる。そして、外部端子の情報がシミュレーション計算に必要な場合、シミュレーションが外部端子の履歴よりも前（履歴として記憶されたデータの間）な

らば該外部端子の履歴から補間して求め、また、シミュレーションが外部端子の履歴よりも進んでいる場合には、履歴から予測値を求めて計算に使用する。

【0018】図4は本発明の回路シミュレーション並列化方法における補間および予測処理を説明するための図である。ここで、図4（a）、（c）、（e）は、例えば、プロセサ22（発信側：自分自身で端子N23のシミュレーション計算を行うプロセサ側）から見た出力端子（内部端子）N23の計算結果（シミュレーション結果）を示す図である。また、図4（b）、（d）、

（f）は、例えば、プロセサ23（受信側：自分自身では端子N23のシミュレーション計算を行わず、計算結果を参照するプロセサ側）から見た外部端子N23の補間並びに予測処理、および、シミュレーションのやり直しを説明するための図である。

【0019】図4（a）に示されるように、発信側のプロセサ22において、出力端子N23の計算結果（シミュレーション結果）が時刻 t_1 および t_2 の値（電圧レベル）P1およびP2まで得られているとき、図4

（b）に示されるように、受信側のプロセサ23において、例えば、時刻 t_4 （ここで、 $t_1 < t_4 < t_3$ ）における外部端子N23の値が必要なときには、時刻 t_1 および t_2 における値P1およびP2を補間して得られた値P4を使用する。また、図4（b）に示されるように、受信側のプロセサ23において、例えば、時刻 t_5 （ここで、 $t_3 < t_5$ ）における外部端子N23の値が必要なときには、時刻 t_1 および t_2 における値P1およびP2から予測した値（予測ラインELに沿った値）P5を使用する。なお、各プロセサ（シミュレーションプロセサ）間では、シミュレーションを行うタイムステップが一定となっていないため、図4（b）に示すような補間および予測処理が行われることになる。

【0020】図4（c）に示されるように、プロセサ22において、出力端子N23の時刻 t_3 の計算結果（電圧レベル）P3が得られると、その値（ t_3 , P3）

は、例えば、管理プロセサ1を介してプロセサ23へ伝えられる。そして、図4（d）に示されるように、プロセサ22で計算された値P3（時刻 t_3 ）と予測ラインEL（予測値P5）が大きく異なった場合には、図4（e）および（f）のように新たな値P6（時刻 t_6 ）を使用してシミュレーションをやり直すことになる。

【0021】すなわち、図4（e）と図4（f）との比較から明らかなように、プロセサ22において計算された出力端子N23の時刻 t_3 の値（計算結果）P3が予測ラインELと大きく異なる場合、プロセサ23においては、外部端子N23の値（電圧レベル）として、実際にプロセサ22で計算された値（P2とP3を繋ぐラインRL）と予測ラインELとの差が所定の値（許容誤差）以下になる値P6（時刻 t_6 ）を使用してシミュレーションをやり直す。

【0022】以下、同様に、得られた端子の計算結果に基づき、外部端子の補間および予測処理を行うと共に、図4(f)に示すようなシミュレーションのやり直しを行って、複数のシミュレーションプロセサ(20~23)において、それぞれ独立に分割回路の電気特性のシミュレーションを並列的に行う。このように、各プロセサ(シミュレーションプロセサ)において、出力端子(他のプロセサの外部端子)の計算が終わったならば、出力端子を外部端子として持つ他のプロセサに対して計算結果(電圧レベル)を送信し、該計算結果を受けた側(他のプロセサ)では、シミュレーション時刻が新しくなっていれば履歴を更新し、古い場合(計算がやり直されている場合)には、その時刻から履歴を作り直し、その時刻以降の計算をやり直す。そして、図4(f)のように、受け取った結果と計算に用いた予測値との差を比較し、誤差が大きい場合にはシミュレーション計算をやり直すことになる。

【0023】そして、全てのプロセサのシミュレーションが終了した時点で全体のシミュレーションが終了する。次に、図5および図6に示すフローチャートを参照して、シミュレーションプロセサおよび管理プロセサの処理を説明する。図5は本発明の回路シミュレーション並列化方法におけるシミュレーションプロセサの処理の一例を示すフローチャートである。

【0024】図5に示されるように、各シミュレーションプロセサ20~23は、ステップS1でシミュレーションを実行する。すなわち、ステップS1では、各素子の特性および各端子の電圧レベルから、次の時間における各端子の電圧レベルを計算する。さらに、ステップS2に進んで、出力端子の履歴が更新されたかどうかを判別する。

【0025】ステップS2において、出力端子の履歴が更新されたと判別されると、ステップS5において、端子情報を、例えば、管理プロセサを介して他のシミュレーションプロセサに送信した後、ステップS3へ進む。また、ステップS2において、出力端子の履歴が更新されていないと判別されると、直接ステップS3へ進む。ステップS3では、他のシミュレーションプロセサ(例えば、管理プロセサを介して)から外部端子の情報が来ているかどうか判別され、外部端子の情報が来ていると、ステップS6に進んで、端子情報を受信する。さらに、ステップS7に進んで、外部端子の履歴を更新した後、ステップS8において、シミュレーションのやり直しが必要かどうか判別される。

【0026】ステップS8で、シミュレーションのやり直しが必要であると判別されると、ステップS9でシミュレーションの時間を戻した後(例えば、図4(f)の時刻t6まで戻す)、ステップS1に戻ってシミュレーションをやり直す。一方、ステップS8において、シミュレーションのやり直しが必要ではないと判別される

と、ステップS4に進んで、シミュレーションを終了するかどうか判別される。

【0027】また、ステップS3において、外部端子の情報が来っていないと判別された場合にも、ステップS4に進み、シミュレーションを終了するかどうか判別が行われる。そして、ステップS4で、シミュレーションを終了しないと判別されると、ステップS1に戻って再度シミュレーション処理を行い、また、シミュレーションを終了すると判別されると、シミュレーションの終了処理を行う。

【0028】この図5に示す処理は、複数のシミュレーションプロセサにおいて、並列的に処理される。図6は本発明の回路シミュレーション並列化方法における管理プロセサの処理の一例を示すフローチャートである。図6に示されるように、管理プロセサ1は、ステップS11で回路(対象回路)の分割を行って、さらに、ステップS12で、該分割された各対象回路を各シミュレーションプロセサ20~23に割り当てる。そして、ステップS13に進んで、各シミュレーションプロセサからのメッセージの着信を確認し、メッセージが着信していると、ステップS14に進んで、到着した全てのメッセージを受信して、シミュレーション全体で確定している時間を決定する。ここで、メッセージとしては、例えば、後述する図7に示す構成を有している。また、ステップS13で、メッセージが着信していないと判別されると、メッセージが着信するまで、ステップS13で各シミュレーションプロセサからのメッセージの着信を待つことになる。

【0029】ステップS15に進むと、端子の情報をプロセサ毎に組み替え、さらに、ステップS16に進んで、発信するかどうか判別される。ステップS16において、発信する場合には、ステップS17に進んで、時間情報を全てのシミュレーションプロセサに発信してステップS18へ進む。また、ステップS16で、発信しない場合には、ステップS13に戻ってメッセージの着信を確認する。

【0030】ステップS18では、全てのシミュレーションが終了したかどうか判別され、全てのシミュレーションが終了したと判別されると処理を終了し、また、全てのシミュレーションが終了していないと判別されると、ステップS13に戻って各シミュレーションプロセサからのメッセージの着信を確認する。図7は本発明の回路シミュレーション並列化方法において通信に使用するメッセージ構造の一例を示す図であり、例えば、管理プロセサ1と各シミュレーションプロセサ20~23との間で遣り取りされるメッセージ(データ)の一例を示すものである。

【0031】図7に示されるように、シミュレーションプロセサから管理プロセサへ伝えられるメッセージとしては、例えば、シミュレーションが確定している時間

(各シミュレーションプロセサ 20~23 のうちで最も処理の遅いプロセサにおいて計算が終了している時間: 確定時間) を示す履歴管理用時間情報 D0、および、各端子の端子番号 (N23 等)、時間 (t_1 , t_2 等) 並びに計算された電圧レベル (P1, P2 等) を示す端子情報等により構成されている。すなわち、各シミュレーションプロセサ 20~23 は、シミュレーションの時刻を管理プロセサ 1 に伝え、また、管理プロセサ 1 はシミュレーションプロセサから得た時刻より、不必要となる時刻を各シミュレーションプロセサに伝える。そして、各シミュレーションプロセサは、管理プロセサから送られた時刻より古い履歴を消去することになる。

【0032】図 8 は本発明の回路シミュレーション並列化方法における履歴管理の一例を説明するための図であり、図 8 (a) は消去前の各シミュレーションプロセサ 20~23 のメモリ (DRAM) 20a~23a に格納されたデータ (履歴) を示し、また、図 8 (b) は消去後のメモリ 20a~23a に格納されたデータを示している。

【0033】各シミュレーションプロセサ 20~23 は、シミュレーションを進める度毎に新しいデータ (例えば、端子番号、時間、電圧レベル等) を履歴に追加する (メモリ 20a~23a に書き込む)。上述したように、本発明に係る回路シミュレーション並列化方法によれば、従来、1つのプロセサで行っていた計算を、対象回路を分割して複数のプロセサ (計算機: 演算手段) に割り当てる。そして、他のプロセサがシミュレーションの計算に必要となる境界部の端子の計算結果を通信により伝達し、該計算結果を受け取ったプロセサは、得られた履歴からシミュレーションに必要な値を補間或いは予測し、各プロセサ毎にシミュレーションを並列的に進める。これにより、回路の電気特性のシミュレーションを並列化することができ、解析時間を短縮することが可能となる。

【0034】図 8 (a) に示されるように、1 タイムステップの計算を行う毎に、或る特定のシミュレーションプロセサ (例えば、プロセサ 21) の計算結果を接続関係にある (隣接する) シミュレーションプロセサ (例えば、プロセサ 22) に送る。また、計算結果を受け取ったプロセサ (22) は、例えば、予測値との差が大きくなる時刻 ($t_{c2'}$) まで戻って、シミュレーションをやり直す。そして、シミュレーションのやり直しが生じた時刻 ($t_{c2'}$) よりも新しい履歴 DP2 を削除する。すなわち、シミュレーションのやり直しにより、プロセサ 22 のメモリ 22a における履歴 DP2 を削除することになる。

【0035】さらに、図 8 (a) に示されるように、最も遅れているシミュレーションの時刻よりも古いデータは送信されることはないため、最もシミュレーションが遅れているプロセサ 23 のシミュレーション時刻 t_{c3}

で発生するシミュレーションのやり直しに必要な時刻 T よりも古い各プロセサ 20~23 のメモリ 20a~23a における履歴 DP1 を削除する。すなわち、全てのシミュレーションプロセサ 20~23 において、確定時間が進んだことにより、メモリ 20a~23a における時刻 T よりも以前の履歴 DP1 を削除することになる。

【0036】これにより、図 8 (b) に示されるように、シミュレーションプロセサ 20~23 のメモリ 20a~23a は、不要な履歴が削除されることになり、該メモリ 20a~23a に要求される容量を低減することができる。上述したように、本発明の回路シミュレーション並列化方法によれば、各プロセサのシミュレーションの進行状況を集め、最も遅れているシミュレーションの時刻 (確定時間) を各プロセサに伝え、その時刻より古い履歴を消去することにより、記憶しておく履歴を減らしてメモリに要求される容量を低減することができる。

【0037】図 9 は本発明の回路シミュレーション並列化方法が適用される並列回路シミュレータの他の構成例を示すブロック図であり、管理プロセサ (1) を設けないようにした並列回路シミュレータ (コンピュータシステム) の一例を示すものである。図 9 (a) に示されるように、全てのプロセサ (シミュレーションプロセサ) 20~23 は対等な関係にあり、それぞれのプロセサ 20~23 は直接に通信によって情報の遣り取りを行うようになっている。

【0038】履歴管理 (確定時間の決定) を行う場合、まず、スタートのシミュレーションプロセサ 20 を 1 つ決め、該プロセサ 20 からスタートして元のプロセサ 20 に戻って来るような順番を付ける。ここで、スタートのプロセサ 20 をレベル "0" とし、その次のプロセサをレベル "1" とする。図 9 (b) に示されるように、スタートのプロセサ 20 は、レベル "1" のプロセサ 21 および 22 にシミュレーション時間収集を開始するための信号を送る。さらに、レベル "1" のプロセサ 21 および 22 は、さらに次の (レベル "2" の) プロセサ 23 に自分のシミュレーション時間を送る。すなわち、レベル "1" のプロセサ 21 および 22 以降のプロセサは、受け取ったシミュレーション時間と自分のシミュレーション時間を比較して、遅れているシミュレーション時間をさらに次のプロセサに伝える。

【0039】そして、レベル "0" (レベル "4") のプロセサ 20 にシミュレーション時間が戻った時点で、プロセサ 20 は全体の確定時間を決定し、各シミュレーションプロセサ 21~23 に送信する。次に、図 9 (c) に示されるように、シミュレーション情報に関しては、各プロセサは、他のプロセサの外部端子の情報を直接情報を必要としているプロセサへ送信する。そして、全ての端子について、1 タイムステップの計算が終わる毎に各端子の履歴を計算結果に加えていく。

【0040】このように、本発明の回路シミュレーション並列化方法が適用される並列回路シミュレータとしては、管理プロセサ（1）およびシミュレーションプロセサ（20～23）を備えたコンピュータシステムに限定されず、管理プロセサを無くして複数のシミュレーションプロセサだけで構成したコンピュータシステムとして構成することもできる。また、管理プロセサおよびシミュレーションプロセサは、それぞれ計算機（ワークステーションやパーソナルコンピュータ等）として構成するようにしてもよい。

【0041】

【発明の効果】以上、詳述したように、本発明の回路シミュレーション並列化方法（回路シミュレーション並列化プログラムを記録した媒体）によれば、回路シミュレーションを並列計算して解析時間を短縮することができる。さらに、本発明の回路シミュレーション並列化方法によれば、記憶しておく履歴を減らしてメモリに要求される容量を低減することができる。

【図面の簡単な説明】

【図1】本発明に係る回路シミュレーション並列化方法が適用される並列回路シミュレータの一構成例を示すブロック図である。

【図2】本発明の回路シミュレーション並列化方法における回路分割処理を説明するための図である。

【図3】本発明の回路シミュレーション並列化方法にお

ける回路分割処理の具体例を示す図である。

【図4】本発明の回路シミュレーション並列化方法における補間および予測処理を説明するための図である。

【図5】本発明の回路シミュレーション並列化方法におけるシミュレーションプロセサの処理の一例を示すフローチャートである。

【図6】本発明の回路シミュレーション並列化方法における管理プロセサの処理の一例を示すフローチャートである。

10 【図7】本発明の回路シミュレーション並列化方法において通信に使用するメッセージ構造の一例を示す図である。

【図8】本発明の回路シミュレーション並列化方法における履歴管理の一例を説明するための図である。

【図9】本発明の回路シミュレーション並列化方法が適用される並列回路シミュレータの他の構成例を示すブロック図である。

【符号の説明】

1…管理プロセサ

20～23…シミュレーションプロセサ

3…記録媒体装置

C…対象回路

C0～C3…分割回路

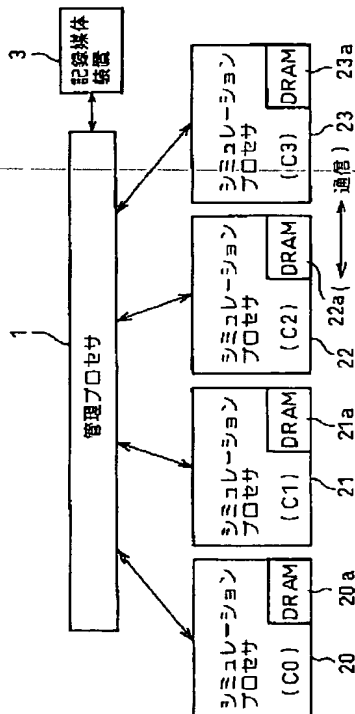
E21～E23, E31～E34…素子

N21～N25, N31～N34…端子（ノード）

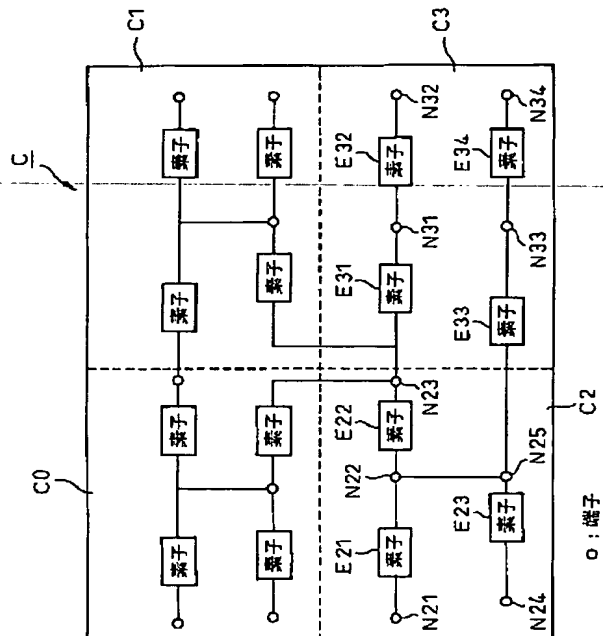
【図1】

【図2】

本発明に係る回路シミュレーション並列化方法が適用される並列回路シミュレータの一構成例を示すブロック図

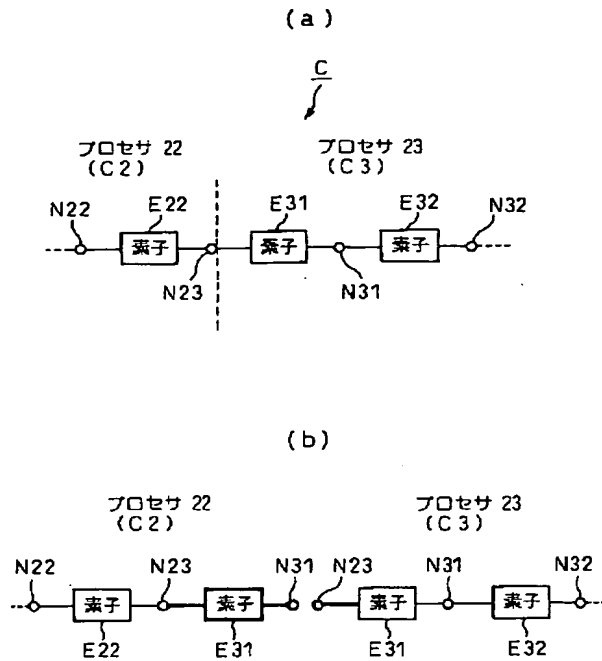


本発明の回路シミュレーション並列化方法における回路分割処理を説明するための図



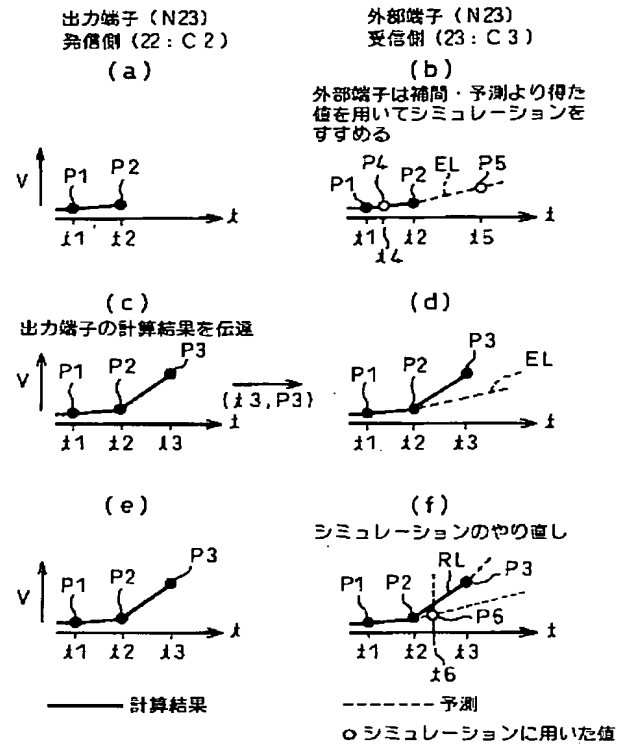
【図 3】

本発明の回路シミュレーション並列化方法における
回路分割処理の具体例を示す図



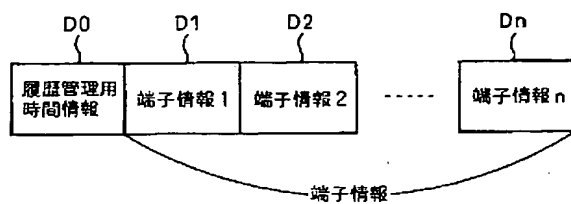
【図 4】

本発明の回路シミュレーション並列化方法における
補間および予測処理を説明するための図



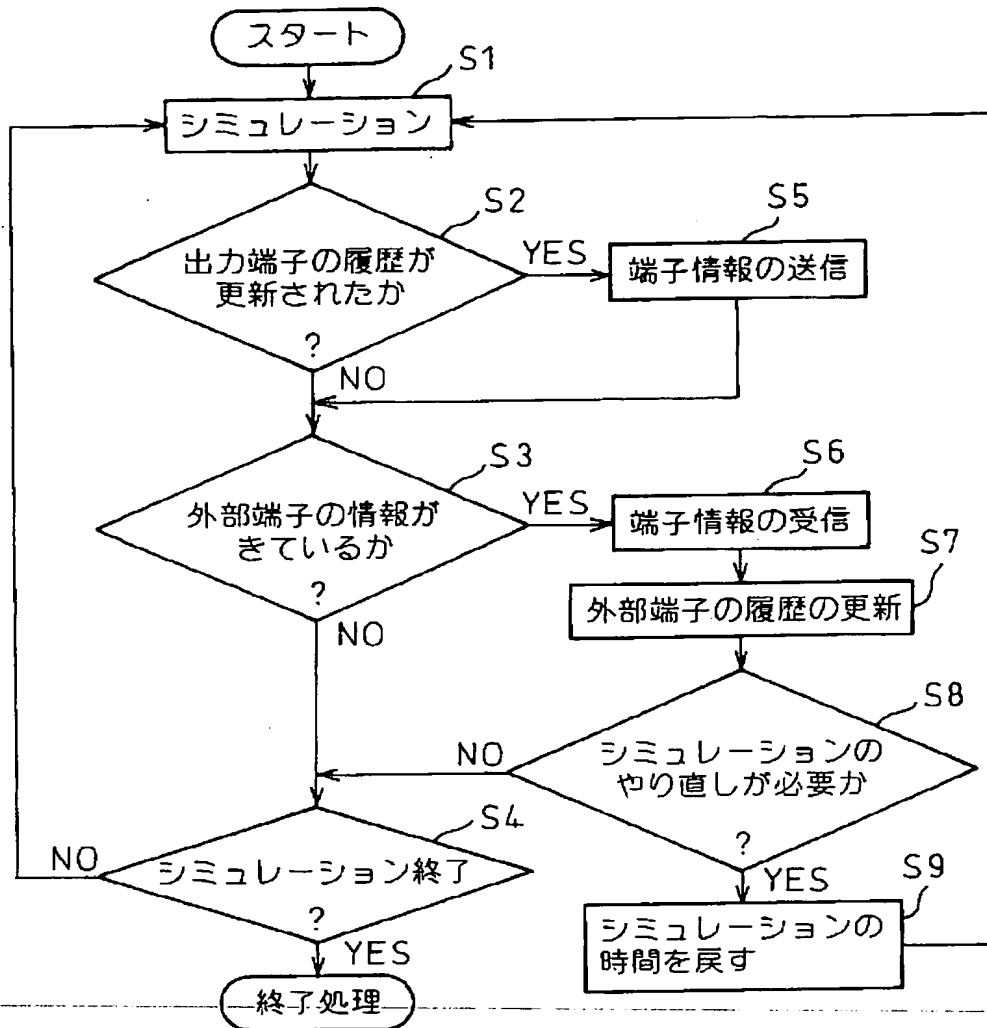
【図 7】

本発明の回路シミュレーション並列化方法において
通信に使用するメッセージ構造の一例を示す図



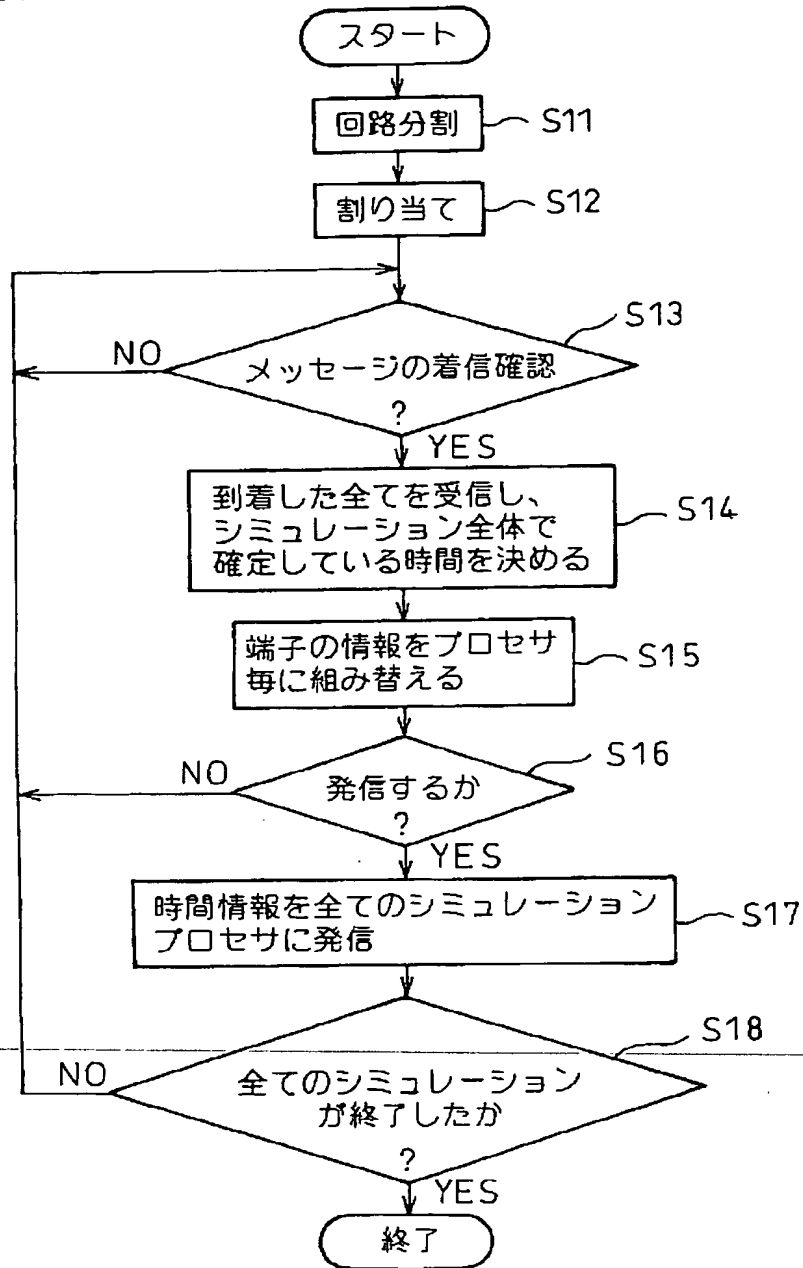
【図5】

本発明の回路シミュレーション並列化方法における
シミュレーションプロセサの処理の一例を示すフローチャート



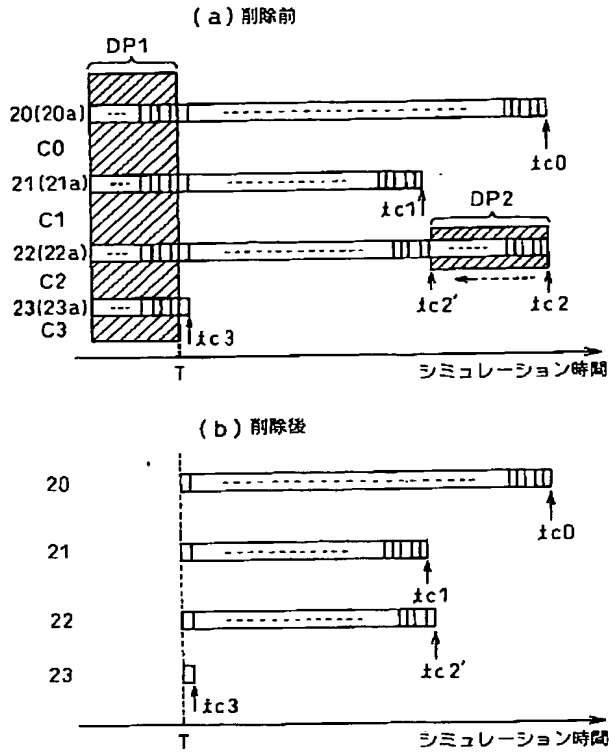
【図6】

本発明の回路シミュレーション並列化方法における管理プロセスの処理の一例を示すフローチャート



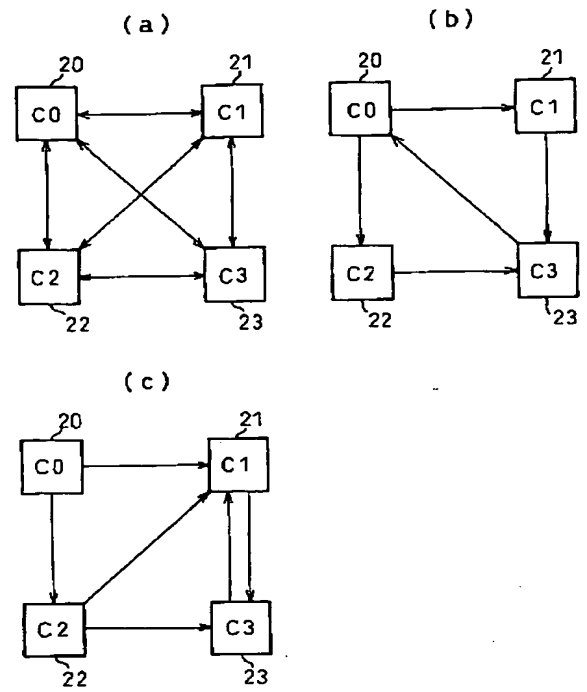
【図 8】

本発明の回路シミュレーション並列化方法における履歴管理の一例を説明するための図



【図 9】

本発明の回路シミュレーション並列化方法が適用される並列回路シミュレータの他の構成例を示すブロック図



This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**